

Patent Abstracts of Japan

PUBLICATION NUMBER : 09129447  
PUBLICATION DATE : 16-05-97

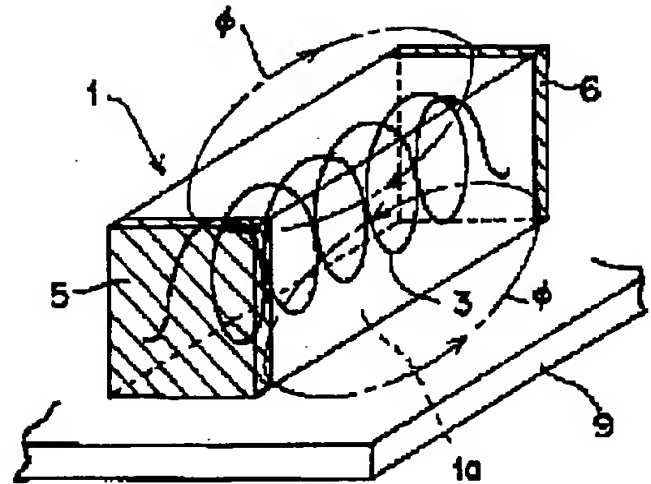
APPLICATION DATE : 02-11-95  
APPLICATION NUMBER : 07285487

APPLICANT : MURATA MFG CO LTD;

INVENTOR : KAWAGUCHI MASAHIKO;

INT.CL. : H01F 17/00

TITLE : LAMINATED TYPE INDUCTOR



ABSTRACT, : PROBLEM TO BE SOLVED: To obtain a laminated type inductor, as mounted on a printed wiring board, allowing it to make a self-resonance frequency into a high frequency and having little deterioration of a self-inductance value and a Q-value.

SOLUTION: A laminated-type inductor 1 is a laminate of insulating sheets provided with coil conductors. Coiled conductors are connected in series in a through hole to form a coil 3. Then, a lamination direction of the insulating sheets is in parallel with the mounting surface 1a and vertical to external electrodes 5, 6. The axial direction of the coil 3 is in parallel with the mounting surface 1a and vertical to the external electrodes 5, 6.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-129447

(43) 公開日 平成9年(1997)5月16日

(51) IntCl.<sup>6</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H01F 17/00

H01F 17/00

C

審査請求 未請求 請求項の数2 OL (全5頁)

(21) 出願番号 特願平7-285487

(22) 出願日 平成7年(1995)11月2日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 内山 一義

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 奥山 晋吾

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 川口 正彦

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

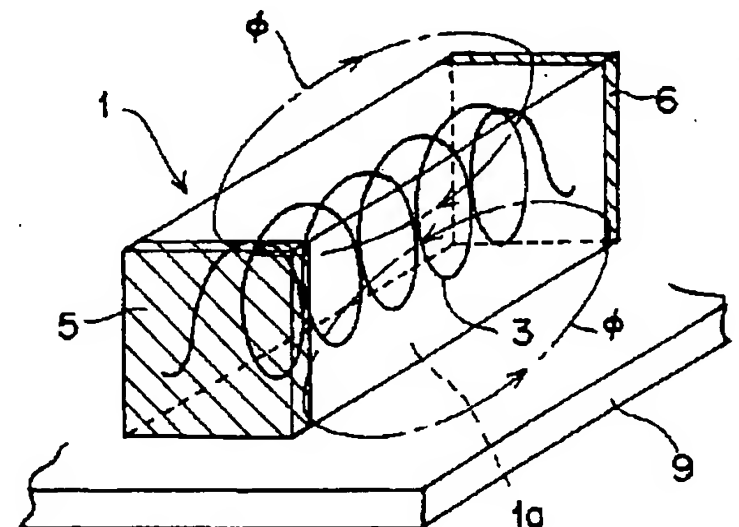
(74) 代理人 弁理士 森下 武一

(54) 【発明の名称】 積層型インダクタ

(57) 【要約】

【課題】 自己共振周波数の高周波化が図れ、印刷配線板に実装した際の自己インダクタンス値やQ値の劣化が少ない積層型インダクタを得る。

【解決手段】 積層型インダクタ1は、コイル導体を設けた絶縁性シートを積み重ねて積層体としたものである。コイル導体はスルーホールで直列に接続され、コイル3を形成している。そして、絶縁性シートの積み重ね方向が、実装面1aに対して平行で、外部電極5、6に対して垂直である。コイル3の軸方向は、実装面1aに対して平行で、外部電極5、6に対して垂直である。



## 【特許請求の範囲】

【請求項1】 コイル導体と絶縁性部材を積層して構成した積層型インダクタにおいて、

前記コイル導体を電氣的に接続して構成したコイルの軸方向が実装面に対して平行であり、かつ前記コイル導体と前記絶縁性部材からなる積層体の積み重ね方向が前記実装面に対して平行であることを特徴とする積層型インダクタ。

【請求項2】 コイル導体と絶縁性部材を積層して構成した積層型インダクタにおいて、

前記コイル導体を電氣的に接続して構成したコイルの軸方向が、前記コイルの端部を電氣的に接続した外部電極に対して垂直であり、かつ、前記コイル導体と前記絶縁性部材からなる積層体の積み重ね方向が前記外部電極に対して垂直であることを特徴とする積層型インダクタ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、積層型インダクタ、特に高周波用積層型インダクタに関する。

## 【0002】

【従来の技術】従来の積層型インダクタは、図7（模式的に示す）に示すように、内部に複数のコイル導体が積層されて構成されたコイル51の軸方向が実装面52に対して垂直であると共に、入出力外部電極53、54に対して平行であった。

## 【0003】

【発明が解決しようとする課題】従来の積層型インダクタにあっては、コイル51と外部電極53、54間にそれぞれ分布状に浮遊容量が発生するが、特に、コイル51の両端近傍部分と外部電極53、54間に発生する浮遊容量C11、C12は、それぞれコイル51と外部電極53間、あるいはコイル51と外部電極54間の電位差が大きく、かつ、間隔が狭いため、大きい数値となる。これらの大きい数値の浮遊容量C11、C12は、インダクタの外部電極53と54間に電氣的に並列に挿入されるので、トータルの浮遊容量はC11とC12が加算されてさらに大きな値となる。従って、浮遊容量の影響が無視できず、インダクタの自己共振周波数が低周波化するという問題がある。

【0004】また、従来の積層型インダクタにあっては、コイル51に発生する磁束φの方向が実装面に対して垂直であるため、磁束φによって印刷配線板55、特に印刷配線板55上に形成されたランド等の広面積導体パターンに渦電流が発生し、この渦電流損失によって磁束φが弱められ、自己インダクタンス値やQ値が劣化するという問題もある。

【0005】そこで、本発明の目的は、自己共振周波数の高周波化が図れ、印刷配線板等に実装した際の自己インダクタンス値やQ値の劣化が少ない積層型インダクタを提供することにある。

## 【0006】

【課題を解決するための手段】以上の目的を達成するため、本発明に係る積層型インダクタは、コイル導体を電氣的に接続して構成したコイルの軸方向が実装面に対して平行であり、かつ前記コイル導体と絶縁性部材からなる積層体の積み重ね方向が前記実装面に対して平行であることを特徴とする。

【0007】また、本発明に係る積層型インダクタは、コイル導体を電氣的に接続して構成したコイルの軸方向が、前記コイルの端部を電氣的に接続した外部電極に対して垂直であり、かつ、前記コイル導体と絶縁性部材からなる積層体の積み重ね方向が前記外部電極に対して垂直であることを特徴とする。

## 【0008】

【作用】以上の構成により、コイルの軸方向が実装面に対して平行であるため、コイルに発生した磁束の方向が実装面に対して平行になり、磁束が印刷配線板等に形成された導体パターンによって弱められにくくなる。従って、自己インダクタンス値やQ値の劣化が抑えられる。

【0009】また、コイルの軸方向が外部電極に対して垂直であるため、コイルと外部電極間に発生する浮遊容量は、小さな数値となる。なぜなら、コイルと外部電極間の電位差が小さく、しかも間隔を広くできるからである。

## 【0010】

【発明の実施の形態】以下、本発明に係る積層型インダクタの実施形態について添付図面を参照して説明する。

【第1実施形態、図1～図5】図1（模式的に示す）に示すように、積層型インダクタ1は、内蔵されているコイル3の軸方向がインダクタ1の実装面1aに対して平行であり、しかもインダクタ1の両端部にそれぞれ設けられている入出力外部電極5、6に対して垂直である。コイル3の両端部はそれぞれ入出力外部電極5、6に電氣的に接続されている。入出力外部電極5、6は実装面1aに対して垂直な関係にある。

【0011】さらに、図2を参照して積層型インダクタ1の構造について詳説する。インダクタ1は、コイル導体3<sub>1</sub>、3<sub>2</sub>……3<sub>n</sub>をそれぞれ設けた絶縁性シート11、スルーホール15のみを設けた絶縁性シート11にて構成されている。コイル導体3<sub>1</sub>～3<sub>n</sub>は、積層された状態では絶縁性シート11に設けたスルーホール15を介して直列に電氣的に接続され、ソレノイド状のコイル3を形成する。

【0012】コイル導体3<sub>1</sub>～3<sub>n</sub>は絶縁性シート11の表面に、周知の印刷法やスパッタリング法や真空蒸着法等の方法によって形成されたり、あるいは以下に説明する方法によって形成される。図3（a）に示すように、ポリエチレンテレフタレート等の樹脂フィルム21に裏打ちされた絶縁性シート11を準備する。絶縁性シート11の材料としては、例えばフェライト、誘電体、絶縁

体等のセラミックが使用される。絶縁性シート2の厚みT1は、後述の内部電極の厚みT2と隣接する内部電極間の絶縁に必要な厚みT3を加えた寸法に設定する。

【0013】次に、図3(b)に示すように、樹脂フィルム21側から絶縁性シート11にレーザ加工又はサンドブラスト加工又はダイサー加工等を施し、所定の形状のコイル導体用溝22を形成する。コイル導体用溝22の深さは、所望のコイル導体の厚みT2に等しい寸法である。さらに、図3(c)に示すように、このコイル導体用溝22の所定の位置にスルーホール用孔23をレーザ加工、パンチング加工等にて形成する。

【0014】次に、図3(d)に示すように、Ag、Pd、Ag-Pd、Cu等の導電性ペースト25をコイル導体用溝22及びスルーホール用孔23に印刷法等にて塗り込み、充填、乾燥する。こうして、コイル導体用溝22に充填された導電性ペースト25はコイル導体とされ、スルーホール用孔23に充填された導電性ペースト25はスルーホール15とされる。そして、コイル導体用溝22の底面から絶縁性シート11の下面までの距離が、隣接するコイル導体間の絶縁に必要な厚みT3に相当する。

【0015】この後、図3(e)に示すように、樹脂フィルム21を剥す。得られた絶縁性シート11はコイル導体3<sub>1</sub>～3<sub>n</sub>やスルーホール15を内蔵し、その表面は平坦である。従って、絶縁性シート11の積層枚数が多くなっても、あるいはコイル導体3<sub>1</sub>～3<sub>n</sub>の厚みが厚くなっても、均一な厚さに積み重ねることができ、積層ずれも抑えることができる。

【0016】以上の構成からなる絶縁性シート11は、積み重ねられて圧着された後、一体的に焼成され積層体とされる。次に、この積層体の両端部にそれぞれ外部電極5、6をスパッタリング、真空蒸着、あるいは印刷焼付等の手段にて形成する。外部電極5はスルーホール15を介してコイル3の一方の端部、具体的にはコイル導体3<sub>1</sub>の端部に電氣的に接続し、外部電極6はスルーホール15を介してコイル3の他方の端部、具体的にはコイル導体3<sub>n</sub>の端部に電氣的に接続している。

【0017】こうして得られたインダクタ1は、絶縁性シート11の積み重ね方向が実装面1aに対して平行で、外部電極5、6に対して垂直である。一方、コイル3の軸方向は、実装面1aに対して平行で、外部電極5、6に対して垂直である。このため、図1に示すように、インダクタ1を印刷配線板9上に実装した場合、コイル3に発生する磁束φの方向が実装面1aに対して平行となるので、磁束φが印刷配線板9上に形成されたグラウンド等の広面積導体パターンによって弱められにくくなる。この結果、インダクタ1の自己インダクタンス値やQ値の低下が従来のインダクタと比較して少なくなる。

【0018】また、図4(模式的に示す)に示すよう

に、インダクタ1は、コイル3と外部電極5、6間に浮遊容量が発生するが、コイル3の両端部分と外部電極5、6間に発生する浮遊容量C1、C2は、それぞれコイル3と外部電極5間、あるいはコイル3と外部電極6間の電位差は大きい、間隔が広いので極めて小さい数値となる。従って、浮遊容量C1、C2の影響は実用上無視できる。そして、図5(模式的に示す)に示すように、コイル導体3<sub>1</sub>～3<sub>n</sub>及び外部電極5、6の隣接導体間に発生する浮遊容量C3、C4……C9は、外部電極5と6間に電氣的に直列に挿入されるので、トータルの浮遊容量Cxは以下の式で得られ、その値は極めて小さい。

$$【0019】Cx = 1 / \{ (1/C1) + (1/C2) + \dots + (1/C9) \}$$

従って、浮遊容量C3～C9の影響も実用上無視できる。この結果、インダクタ1の自己共振周波数の高周波化を図ることができる。

【0020】[第2実施形態、図6] 図6(模式的に示す)に示すように、積層型インダクタ31は、前記第1実施形態と同様にして製作された積層体の両端部の隅部のみ外部電極32、33を設けたものである。従って、このインダクタ31は、コイル導体と絶縁性シート11の積み重ね方向が実装面31aに対して平行で、外部電極32、33に対して垂直であり、かつ、コイル3の軸方向は実装面31aに対して平行で、外部電極32、33に対して垂直である。外部電極32、33の高さ寸法Hはコイル3の内径の1/2以下の寸法に設定することが好ましい。外部電極32、33はそれぞれコイル3の両端部に電氣的に接続されている。

【0021】こうして得られたインダクタ31は、前記第1実施形態の積層型インダクタ1と同様の作用効果に加え、浮遊容量C1、C2をさらに減少させることができ、インダクタ31の自己共振周波数の更なる高周波化を図ることができる。外部電極32、33の面積が、インダクタ1の外部電極5、6と比較して小さくなり、コイル3との対向面積が少なくなったからである。

【0022】また、コイル3と端子電極32、33の間の浮遊容量が小さくなるため(距離が広がるため)、コイル3の巻回数を増やしてコイル3の端部を積層体端面近傍まで拡張させることができ、インダクタのサイズを大型化することなく、自己インダクタンス値を大きくすることができる。そして、コイル3に発生する磁束φの方向は外部電極32、33に対して垂直であるが、外部電極32、33の面積が小さいため、外部電極32、33に渦電流が発生しにくく、また、渦電流が発生してもその損失は小さい。従って、インダクタの自己インダクタンス値やQ値をアップさせることができる。

【0023】[他の実施形態] なお、本発明に係る積層型インダクタは前記実施形態に限定するものではなく、その要旨の範囲内で種々に変更することができる。特

に、コイルの巻回数や形状は任意であって、仕様に合わせて種々のものが選択される。また、外部電極の形状、例えば折り返しの有無等も任意である。

【0024】

【発明の効果】以上の説明で明らかなように、本発明によれば、コイルの軸方向が実装面に対して平行であるため、コイルに発生した磁束の方向が実装面に対して平行になり、インダクタを印刷配線板等に実装しても、自己インダクタンス値やQ値の劣化を抑えることができる。

【0025】また、コイルの軸方向が外部電極に対して垂直であるため、コイルと外部電極間に発生する浮遊容量やコイル自身の隣接導体間に発生する浮遊容量を極小化でき、インダクタの自己共振周波数の高周波化を図ることができる。

【図面の簡単な説明】

【図1】本発明に係る積層型インダクタの第1実施形態を示す内部透視図。

【図2】図1に示した積層型インダクタの分解斜視図。

【図3】図1に示した積層型インダクタの製造方法の一例を示す断面図。

【図4】図1に示した積層型インダクタのコイルと外部電極間の浮遊容量を説明するための内部透視図。

【図5】図1に示した積層型インダクタのコイル間の浮遊容量を説明するための内部透視図。

【図6】本発明に係る積層型インダクタの第2実施形態を示す内部透視図。

【図7】従来の積層型インダクタを示す内部透視図。

【符号の説明】

1…積層型インダクタ

3…コイル

3<sub>1</sub>～3<sub>n</sub>…コイル導体

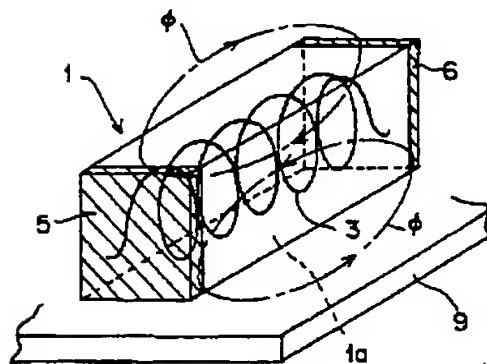
5、6…外部電極

11…絶縁性シート

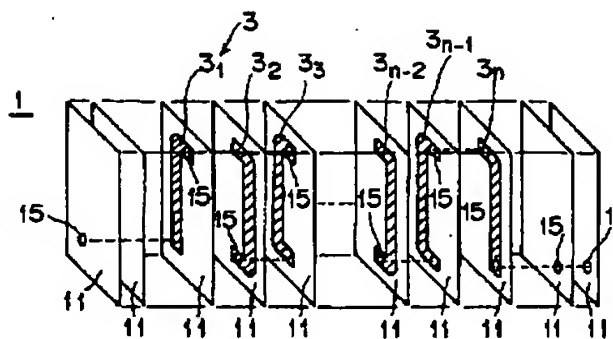
31…積層型インダクタ

32、33…外部電極

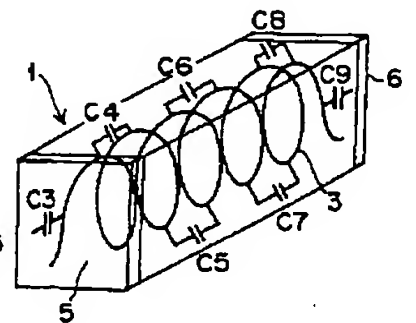
【図1】



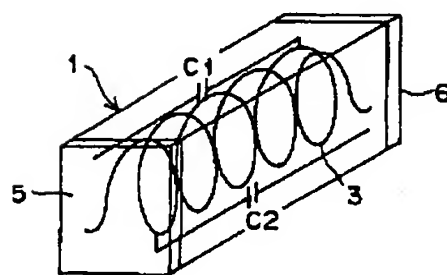
【図2】



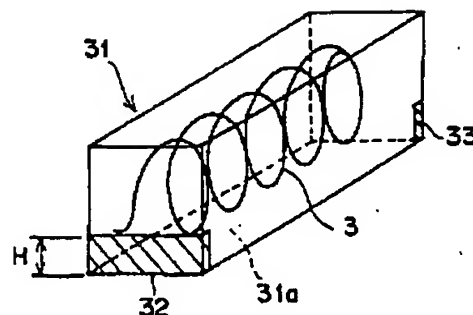
【図5】



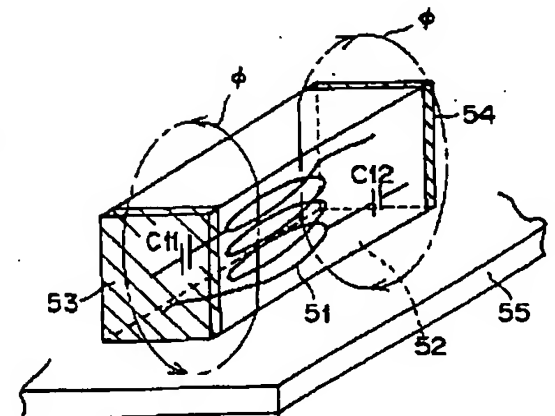
【図4】



【図6】



【図7】



【図3】

